

智慧財產法院 裁判書 -- 行政類

【裁判字號】 99,行專訴,143
 【裁判日期】 1000310
 【裁判案由】 發明專利舉發
 【裁判全文】

智慧財產法院行政判決

99年度行專訴字第143號
 民國100年2月17日辯論終結

原 告 美商微晶片科技公司
 (MICROCHI.
 代 表 人 大衛亞士基 (DAV.
 訴訟代理人 呂光律師
 湯舒涵律師
 被 告 經濟部智慧財產局
 代 表 人 王美花 (局長) 住同上
 訴訟代理人 黃本立
 莊榮昌
 參 加 人 汪子惟

上列當事人間因發明專利舉發事件，原告不服經濟部中華民國99年7月20日經訴字第09906059940號訴願決定，提起行政訴訟。本院判決如下：

主 文

訴願決定及原處分均撤銷。
 訴訟費用由被告負擔。

事 實

一事實概要：

原告前於民國（下同）94年2月18日以「在一鍍墊下之低電容靜電放電保護結構」向被告申請發明專利，並以93年2月26日在美國申請第101787387號專利案主張優先權，經被告編為第94104892號審查，准予專利，並於公告期滿，發給發明第I272711號專利證書。嗣參加人汪子惟以其違反專利法第22條第4項規定，對之提起舉發，案經被告審查，認系爭專利違反專利法第22條第4項規定，以98年11月10日（98）智專三(二)04066字第09820721150號專利舉發審定書為「舉發成立，應撤銷專利權」之處分。原告不服，提起訴願，復遭經濟部99年7月20日經訴字第09906059940號決定駁回，原告仍不服，遂提起本件行政訴訟。本院因認本件訴訟之結果，參加人之權利或法律上利益將受損害，爰依行政訴訟法第42條第1項規定，依職權裁定命其獨立參加本件被告之訴訟。

二原告主張：

(一)系爭專利之技術特徵與證據2之技術特徵不同：

- 1.系爭專利是關於在鍍墊(bond pad)下低電容靜電放電(ESD)之保護結構。系爭專利提供一種整合於積體電路晶粒內的ESD保護電路，對於保護敏感的輸入及/或輸出電路係有效的，且具有低電容。系爭專利提供一實質上位於積體電路鍍墊下、具有低電容並能承受高電流放電事件的ESD保護結構。證據2係關於一ESD保護電路，其允許該輸出信號升高至

相對於供應電源上之一選擇距離且不會觸發該ESD 電路。證據2 允許該輸出信號下落至相對於接地電位之一選擇距離且也不會觸發該ESD 電路。

2. 證據2 之元件918 及924 係金屬層，非如系爭專利之鉚墊，證據2 完全沒有揭示任何態樣之鉚，此由證據2 可知（證據2 說明書第6 欄第58-66 行）：「N+region 916 (cathode of diode D1) and P+region 906 (anode of diode D2A) are connected via a metal layer 924 which makes contact with an upper metal layer 914 to which VIN in connected. ...The supply voltage VCC is delivered to P+ region 908 (anode of diode D3) and N+ contact region 912 (cathode of diode D3) through a metal layer 918 」。因此，證據2 之918 及924 顯然為金屬連接，訴願理由認定918 及924 為結合墊顯為錯誤。
3. 訴願理由認定證據2 「結合墊918 及924 連接至該複數個P+重摻雜」，根據證據2 之圖8A及8B，訴願理由顯然認定因為金屬層914 連接至VIN 且金屬層918 連接至VCC ，該金屬層918 及924 連結至一結合墊。惟查：證據2 無法確認該等電壓為內部或外部電壓，證據2 並未揭示系爭專利所述「一鉚墊，其係連接至該等複數個P+擴散體」之技術特徵，證據2 充其量僅揭示P+擴散體906 透過918 與924 耦合至一結合墊，而系爭專利則為複數個P+擴散體連接至該鉚墊。由於證據2 P+擴散體908 並未同時連接至金屬層918 及924 ，因此並非連接至該相同之結合墊。故可知，證據2 完全未揭示系爭專利關於鉚墊之技術特徵。
4. 證據2 中元件912 非配置於p 型矽井中，而是在N-井910 中，且證據2 無任何元件916 圍繞（surround）元件904 之敘述。
5. 證據2 說明書圖式第9A圖及第6 欄第55至57行敘述，N+區域916 形成二極體D1，以及二極體D3與區域912 及915 形成於N-井910 中。依照此一結構，區域912 必然侷限於N-井910 中以形成二極體D3，而區域916 則明顯地在N-井910 外部。訴願決定認為912 及916 係連接在一起而圍繞該第一N+重摻雜，如此，該二極體D1及D3之陰極必然連接在一起。然而，證據2 圖式第10A 圖顯示此一相等之電路（證據2 說明書第8 欄第10-13 行）。在此相等之電路中顯示該二極體D1之陰極並未連接至該二極體D3（證據2 圖式第10A 圖中錯標為D4）之陰極，而該二極體D3之陰極係與VCC 耦接，而該二極體D1之陰極係與VIN 耦接，如證據2 圖式第10A 圖所示，該等陰極係耦接至不同之電位，故912 及916 並未連接在一起以圍繞結構904 。因此，區域912 及916 非如訴願決定所認定為「圍繞第一N+重摻雜」。
6. 系爭專利與證據2 間主要不同之結構如下：

	系爭專利	證據2
(1)	位於該 P - 井中之第二較重摻雜的n 型矽擴散	第二較重摻雜的n 型矽擴散體（N+擴散體）事

	體 (N+ 擴散體)	實上位於N-井
(2)	該第二N+擴散體圍繞該第一N+擴散體	該第二N+擴散體並未繞該第一N+擴散體
(3)	一焊墊，其係連接至該等複數個P+擴散體	無焊墊。即便確實有焊墊存在於某處，至少需要二個焊墊分別連接至複數個P+擴散體，而非系爭專利所稱的一焊墊
(4)	一連接，其係連接至該第二N+擴散體	至少二個連接，而非系爭專利所稱的一連接

7. 系爭專利與證據2之差異，說明如下：

- (1) 系爭專利之第二較重摻雜的N+擴散體係位於該 P - 井中，而舉發人所指證據2 之第二N+擴散體912 則位於N-井910 中，與系爭專利的N+擴散體係位於 P - 井中不同。舉發理由就證據2 之認知，顯然有嚴重錯誤。系爭專利中第二N+擴散體之結構顯然不同於證據2 之結構。
- (2) 系爭專利第二N+擴散體呈現一圍繞之結構，而證據2 之第二N+擴散體916 並未圍繞該N-井904 中之第一N+擴散體。
- (3) 舉發人指稱證據2 之第二N+擴散體為912 及916 (舉發理由書第4 頁表1 「證據所公開的內容」欄中第12-13 行)，然而，N+擴散體912 及N+擴散體916 為兩不同擴散體，舉發人主張並非可採。即便舉發人認定916 為第二N+擴散體，而912 為除了第一與第二N+擴散體以外之另一N+擴散體，然而證據2 未揭示二個不同的N+擴散體912 及916 共同圍繞第一N+擴散體。
- (4) 證據2 並未提及如系爭專利所述焊墊之結構，證據2 之元件結合墊918 及924 僅係金屬層。縱使舉發人認為結合墊918 及924 即為系爭專利所述之焊墊，結合墊918 及924 係為兩不同焊墊，而系爭專利則僅具有一焊墊，故證據2 與系爭專利顯然不同。
- (5) 證據2 之複數個P+擴散體係連接至不同的金屬層，而系爭專利之複數個P+擴散體則連接至單一焊墊。
- (6) 即便證據2 結構可連接在某處之焊墊，基於證據2 說明書及圖式之敘述，由於VIN 不同於VCC ，故證據2 至少包括二個焊墊，而系爭專利則僅具有一焊墊，二者仍然不同。
- (7) 由於系爭專利第二N+擴散體具有圍繞之結構，系爭專利可藉由一連接而連接至該第二N+擴散體。相較而言，由於證據2 之第二N+擴散體沒有圍繞結構，且912 不同於916 ，因此至少有二個不同的連接而分別連接至912 及916 。

8. 綜上所述，證據2 與系爭專利之結構顯然不相同，且證據2 完全未揭示系爭專利之技術特徵，系爭專利相較於證據2 自具有進步性。

(二) 系爭專利之技術特徵與證據3不同：

1. 證據3 揭示一個嵌入式寄生矽控整流器 (parasitic silicon controlled rectifier , parasitic SCR) 保護裝

置，用於利用在汲極邊插入一P+擴散體及一N-井以保護一晶片或一輸出焊墊，其中該汲極之部份形成一低觸發SCR。該裝置之布局使得該汲極連接在該P+擴散體及該N+汲極處緊綁一起，讓連接非常短；藉此防止閃鎖（latch-up）。

2. 證據3 揭示一保護電路，如圖5 及6 所示。惟證據3 亦無揭示結構元件616 及628 圍繞N-井結構612，相反的，證據3 中每個結構均為位於該N-井612 各邊之條帶。結構元件620 及624 為分開的結構，並無圍繞該P+結構622；此三個結構均為條帶狀，並被配置為彼此相鄰，故證據3 未揭示系爭專利之技術特徵。
3. 由於證據3 完全無法揭示系爭專利之技術特徵或結構，即便結合其他任何證據（如證據2），也無法否定系爭專利之可專利性。

(三)證據2與證據3之結合顯非輕易可得：

1. 本家中證據3 之元件620、622 及624 均為條帶狀且彼此相鄰，此一結構完全不同於證據2 之結構。
2. 據證據3 說明書所述，證據3 主要技術特徵之一在於在P+擴散體之汲極與N+汲極係連接在一起。因此，元件620、622 及624 均藉由傳導構件而連接至晶片墊38而具有相同之電位（證據3 說明書第3 欄第51-52 行及第4 欄第21-22 行）。相較於證據2，由於N+擴散體係在元件904 中浮動，元件906(P+) 係經由一金屬層924 連接至元件916(N+)，且元件908(P+) 係經由一金屬層918 連接至元件912(N+)，故可知元件904 中之N+擴散體、元件906 及908 顯然具有不同之電位。為實施證據3 之發明，在P+擴散體之汲極與N+汲極必須連接在一起，而此結構與證據2 完全不同。該發明所屬技術領域具有通常知識者欲實施證據2 之發明時，完全不會考慮證據3 之結構或技術特徵。
3. 由於證據2 與證據3 之結構完全不同且彼此不相容，證據2 與證據3 之結合顯然不易，甚至完全無法結合。訴願理由不察，逕謂證據2 與證據3 「其間技術結合並非困難」，其顯然有違前揭專利審查基準之規定。
4. 退萬步言，由於證據2 及證據3 個別均未能揭示系爭專利之技術特徵，故縱然證據2 及證據3 可結合（原告仍否認之），其結合後之結果亦無法證明系爭專利不具進步性。

(四)系爭專利之技術特徵與證據4之技術特徵不同：

1. 證據4 揭示一個輸出緩衝器，其包含一拉高電路及一拉低電路；其中該拉低電路具有一電阻，一二極體及一靜電保護元件。系爭專利則為在焊墊下之低電容靜電放電（ESD）保護結構之技術特徵。
2. 證據4 僅揭示一具有靜電保護元件之輸出緩衝器，其無揭示任何關於在焊墊下之低電容靜電放電保護結構，證據4 明顯與系爭專利不同。證據2 至4 與系爭專利利用不同的方法以解決不同的問題而為不同發明。該發明所屬技術領域具有通常知識者並無任何動機將證據2 至4 予以結合，更無法將其據以實施。即便將證據2 至4 之技術特徵結合，亦無揭示系爭專利所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n 型矽擴散體（N+擴散體），其中該第一N+擴散體圍

繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(五)系爭專利之技術特徵與證據5之技術特徵不同：

1. 證據5 欲解決之問題為即使在供應電源及接地端點之間加入保護電路，在半導體電路的內部元件仍常常損壞。證據5 之發明中，因於具有負電位的靜電的施加，就可以使進入到接地端點TG一側來的電荷易於通過電源端點TV向電源電壓Vcc 放出，就可以防止內部元件因靜電引起之損壞。
2. 證據5 提供一保護電路，其可導向在電源端點及接地端點之間的電荷，亦無揭示任何關於在焊墊下之低電容靜電放電保護結構，明顯的與系爭專利不同。因此，證據2 至5 與系爭專利利用不同的方法以解決不同的問題，為明顯不同的發明。該發明所屬技術領域具有通常知識者並無任何動機將證據2 至5 予以結合，更無法將其據以實施。即便將證據2 至5 之技術特徵結合，其亦無揭示系爭專利請求項所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n 型矽擴散體（N+擴散體），其中該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(六)系爭專利之技術特徵與證據6之技術特徵不同：

1. 證據6 揭示一薄膜電晶體，用於一抗靜電電路及防止接面漏電流（junction-leakage current）。
2. 證據6 僅揭示一用於抗靜電電路及防止接面漏電流之薄膜電晶體，其無揭示任何關於在焊墊下之低電容靜電放電保護結構，明顯的與系爭專利不同。因此，證據2 至6 與系爭專利係利用不同的方法以解決不同的問題，為明顯不同的發明。又，該發明所屬技術領域具有通常知識者並無任何動機將證據2 至6 予以結合，更無法將其據以實施。即便將證據2 至6 之技術特徵結合，其亦無揭示系爭專利所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n 型矽擴散體（N+擴散體），其中該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(七)系爭專利之技術特徵與證據7之技術特徵不同：

1. 證據7 揭示一種半導體裝置的靜電保護電路及其結構。證據7 特徵在於該半導體裝置可與一焊墊連接，而該靜電保護結構用在一在電晶體汲極擴散區之淺摻雜電阻或擷取電阻，以使在靜電電壓從該焊墊輸入時，在該電阻處產生壓降，進而形成一寄生雙極電晶體，以傳導因該靜電放電產生之電流。
2. 證據7 僅揭示一靜電保護電路，其無揭示任何關於在焊墊下之低電容靜電放電保護結構，明顯的與系爭專利不同。因此，證據2 至7 與系爭專利利用不同的方法以解決不同的問題，為明顯不同的發明。又，該發明所屬技術領域具有通常知識者並無任何動機將證據2 至7 予以結合，更無法將其據以實施。即便將證據2 至7 之技術特徵結合，其亦無揭示系爭專利所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n 型矽擴散體（N+擴散體），其中該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(八)系爭專利之技術特徵與證據8之技術特徵不同：

1. 證據8 揭示之靜電放電（ESD）保護組件，其可被串接以提高ESD 保護組件的總維持電壓且避免閃鎖。

2. 證據8 僅揭示一可被串接之靜電保護組件，其無揭示任何關於在焊墊下之低電容靜電放電保護結構，明顯與系爭專利不同。證據2 至8 與系爭專利利用不同的方法以解決不同的問題，為明顯不同的發明。又，該發明所屬技術領域具有通常知識者並無任何動機將證據2 至8 予以結合，更無法將其據以實施。即便將證據2 至8 之技術特徵結合，其亦無揭示系爭專利所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n 型矽擴散體（N+擴散體），其中該第一N + 擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(九)系爭專利之技術特徵與證據9之技術特徵不同：

1. 證據9 揭示一形成於一井中之保護電路，且與埋層連接。為改良保護雙極電晶體被晶片佈局及晶片雜質濃度的影響，證據9 提供一靜電損壞保護裝置，其具有高靜電崩潰阻抗，高門鎖電阻抗以及良好的保護能力。
2. 證據9 僅揭示一形成於井中且與埋層連接之保護電路，其無揭示任何關於在焊墊下之低電容靜電放電保護結構，明顯的與系爭專利不同。因此，證據2 至9 與系爭專利係利用不同的方法以解決不同的問題，為明顯不同的發明。該發明所屬技術領域具有通常知識者並無任何動機將證據2 至9 予以結合，更無法將其據以實施。即便將證據2 至9 技術特徵結合，其亦無揭示系爭專利所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n 型矽擴散體（N+擴散體），其中該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(十)系爭專利之技術特徵與證據10之技術特徵不同：

1. 證據10揭示一靜電放電保護電路及其佈局；其中至少在電極墊及接地線之間具有一個靜電放電保護電路。
2. 證據10僅揭示一在電極墊及接地線之間之靜電放電保護電路，其無揭示任何關於在焊墊下之低電容靜電放電保護結構，明顯的與系爭專利不同。因此，證據2 至10與系爭專利係利用不同的方法以解決不同的問題，為明顯不同的發明。該發明所屬技術領域具有通常知識者並無任何動機將證據2 至10 予以結合，更無法將其據以實施。即便將證據2 至10之技術特徵結合，其亦無揭示系爭專利所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n型矽擴散體（N+擴散體），其中該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(十一)系爭專利之技術特徵與證據11之技術特徵不同：

1. 證據11揭示一用於半導體輸入裝置的靜電放電保護之製造方法。證據11提供一保護電路用於限制靜電電壓至一安全位準，且不破壞欲保護之電路及保護電路本身。在證據11之發明中，小靜電電壓被利用以產生電荷載體，其可用於觸發一蕭特基夾鉗二極體（Schottky clamp diode），藉此限制該靜電電壓至一低於100 伏特崩潰電壓之大小。
2. 證據11僅揭示一利用觸發蕭特基夾鉗二極體之靜電放電保護方法，其無揭示任何關於在焊墊下之低電容靜電放電保護結構，明顯的與系爭專利不同。因此，證據2 至11與系爭專利利用不同的方法以解決不同的問題，為明顯不同的發明。該

發明所屬技術領域具有通常知識者並無任何動機將證據2 至11予以結合，更無法將其據以實施。即便將證據2 至11之技術特徵結合，其亦無揭示系爭專利所載之技術特徵，例如「一位於該N-井中之第一較重摻雜的n 型矽擴散體（N+擴散體），其中該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井」。

(十二)原處分除如同訴願決定般具有相同之謬誤外，原處分機關尚且錯誤認定：「證據3 已揭示證據2 未有揭示之技術特徵為兩造所不爭執，並據以作成原處分。然原告從未主張「證據3 揭示證據2 所未揭示之系爭案之其他技術特徵及結構」，原處分機關所據以作成原處分之事實顯然有誤。關於此一謬誤，原告已於訴願程序中詳加說明，惟原訴願機關不採，仍逕自認定證據2 及證據3 已揭示系爭案之大部技術特徵，原訴願機關之認定亦有不當。

(十三)聲明求為訴願決定及原處分均撤銷，訴訟費用由被告負擔。
三被告主張：

(一)起訴理由稱舉發證據2、3 有無法結合之情事，此為原告自行判斷所生之誤認，原處分理由(四)已載「…相較系爭專利第1 項所載之技術特徵，證據2 未有揭示該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井，證據3 已揭示證據2 未有揭示之技術特徵，為兩造所不爭執，專利權人答辯稱舉發理由未有詳載如何結合證據2、3 所揭示，惟證據2、3 已揭示系爭專利請求項第1 項技術特徵，其間技術結合並非困難，以證據2 所揭示在形成系爭專利請求項1 之該第一N+擴散體圍繞該等複數個P+擴散體，並將該N-井重疊進該P-井時，將證據3 所揭示該N+重摻雜624 重疊形成於N 井層，該N 井則重疊形成於P 井21。據此，結合證據2、3 可證明系爭專利請求項第1 項為所屬該項技術領域具有通常知識者所能輕易完成。•••」，並非如原告所稱證據2、3 間有無法結合之情事。

(二)起訴理由所稱僅為原告逕以系爭專利與舉發證據進行比對之主觀論述，然系爭專利申請專利範圍各項已為舉發證據所揭示不具專利要件，原處分均以詳載理由，不另贅述。

(三)聲明求為判決原告之訴駁回，訴訟費用由原告負擔。

四參加人經合法通知未曾到場，亦未提出書狀作何陳述。

五本件之爭點：

(一)舉發證據2 結合舉發證據3 可否證明系爭專利申請專利範圍第1、18及28及 8-14、17、19-24及27項不具進步性？

(二)舉發證據2 結合舉發證據3、4-11可否證明系爭專利申請專利範圍第2 項不具進步性？

(三)舉發證據2 結合舉發證據3、4或9可否證明系爭專利申請專利範圍第3 項不具進步性？

(四)舉發證據2 結合舉發證據3、4可否證明系爭專利申請專利範圍第4、16及26項不具進步性？

(五)舉發證據2 結合舉發證據3、4或10可否證明系爭專利申請專利範圍第5 -7項不具進步性？

(六)舉發證據2 結合舉發證據3、5、7、11 可否定系爭專利申請專利範圍第15、25項不具進步性？

六本院得心證之理由：

(一)系爭專利「在一鍍墊下之低電容靜電放電保護結構」，申請日為94年2月18日，優先權日為93年2月26日，被告於95年10月23日審定准予專利，其是否有應撤銷專利權之情事，自應以核准審定時所應適用之92年2月6日修正公布（93年7月1日施行）之專利法規定為斷，合先說明。

(二)系爭專利請求項之技術內容

系爭專利申請專利範圍共有28項，其中第1、18、28項為獨立項，其餘為附屬項。其內容為：

- 1.一種靜電放電保護結構（100），其包含：一積體電路，其具有一較輕摻雜的p型矽井(P-井)(132)；一位於該P-井（132）中之較輕摻雜的n型矽井(N-井)（130）；複數個位於該N-井（130）中之較重摻雜的p型矽擴散體(P+擴散體)(126)；一位於該N-井（130）中之第一較重摻雜的n型矽擴散體(N+擴散體)（128，128a），其中該第一N+擴散體（128，128a）圍繞該等複數個P+擴散體（126），並將該N-井（128a）重疊進該P-井（132）；一位於該P-井（132）中之第二較重摻雜的n型矽擴散體(N+擴散體)（128b），中該第二N+擴散體（128b）圍繞該第一N+擴散體（128a）；一鍍墊（114），其係連接至該等複數個P+擴散體（126）；以及一連接（120），其係連接至該第二N+擴散體（128b）。
- 2.如請求項1之靜電放電保護結構，其中該P-井係該積體電路基板。
- 3.如請求項1之靜電放電保護結構，其進一步包含一位於該等第一與第二N+擴散體之間的場氧化物。
- 4.如請求項1之靜電放電保護結構，其進一步包含該積體電路之一較輕摻雜的n型矽基板(N-基板)，其中該P-井係在該N-基板中。
- 5.如請求項1之靜電放電保護結構，其中該複數個P+擴散體為帶形。
- 6.如請求項1之靜電放電保護結構，其中該複數個P+擴散體為矩形。
- 7.如請求項1之靜電放電保護結構，其中該複數個P+擴散體為方形。
- 8.如請求項1之靜電放電保護結構，其中該鍍墊係使用一第一複數個導電通孔連接至該等複數個P+擴散體。
- 9.如請求項1之靜電放電保護結構，其中連接至該第二N+擴散體之該連接係使用一第二複數個導電通孔。
- 10.如請求項8之靜電放電保護結構，其中第一複數個導電通孔為金屬。
- 11.如請求項8之靜電放電保護結構，其中第一複數個導電通孔包含導電半導體矽。
- 12.如請求項9之靜電放電保護結構，其中該第二複數個導電通孔為金屬。
- 13.如請求項9之靜電放電保護結構，其中該第二複數個導電通孔包含導電矽。
- 14.如請求項1之靜電放電保護結構，其進一步包含一第二連接，其使用一第三複數個導電通孔連接至該第一N+擴散體的。

15. 如請求項1 之靜電放電保護結構，其中該P-井係耦合至接地。
16. 如請求項1 之靜電放電保護結構，其中該P-井係耦合至一共用的電源供應軌。
17. 如請求項1 之靜電放電保護結構，其中該等複數個P+擴散體、該第一N+擴散體以及該N-井係實質上位於該鉚墊之下。
18. 一種靜電放電保護結構(100)，其包含：一積體電路，其具有一較輕摻雜的p型矽井(P-基板)(132)；一位於該P-基板中之較輕摻雜的n型矽井(N-井)(130)；複數個位於該N-井(130)中之較重摻雜的p型矽擴散體(P+擴散體)(126)，其中該複數個P+擴散體為矩形；一位於該N-井(130)中之第一較重摻雜的n型矽擴散體(N+擴散體)(128a)，其中該第一N+擴散體圍繞該複數個P+擴散體(126)，並將該N-井重疊進該P-井(132)；一位於該P-基板(132)中之第二較重摻雜的n型矽擴散體(N+擴散體)(128b)，其中該第二N+擴散體圍繞該第一N+擴散體(128a)；一場氧化物(122)，其位於該等第一與第二N+擴散體之間(128a,128b)；一鉚墊(114)，其係連接至該等複數個P+擴散體(116)；以及一連接(120)，其係連接至該第二N+擴散體(128b)。
19. 如請求項18之靜電放電保護結構，其中該鉚墊係使用一第一複數個導電通孔連接至該複數個P+擴散體。
20. 如請求項18之靜電放電保護結構，其中連接至該第二N+擴散體之該連接係使用一第二複數個導電通孔。
21. 如請求項19之靜電放電保護結構，其中該第一複數個導電通孔為金屬。
22. 如請求項19之靜電放電保護結構，其中該第一複數個導電通孔包含導電半導體矽。
23. 如請求項20之靜電放電保護結構，其中該第二複數個導電通孔為金屬。
24. 如請求項20之靜電放電保護結構，其中該第二複數個導電通孔包含導電半導體矽。
25. 如請求項18之靜電放電保護結構，其中該P-井係耦合至接地。
26. 如請求項18之靜電放電保護結構，其中該P-井係耦合至一共用的電源供應軌。
27. 如請求項18之靜電放電保護結構，其中該等複數個P+擴散體、該第一N+擴散體以及該N-井係實質上位於該鉚墊之下。
28. 一種用於保護積體電路免受靜電放電損壞的系統，該系統包含：一靜電放電保護結構(100)，其用於一積體電路之複數個輸入與輸出連接之至少一個連接，其中該靜電放電保護結構，包含：一積體電路，其具有一較輕摻雜的p型矽井(P-井)(132)；一位於該P-井(132)中之較輕摻雜的n型矽井(N-井)(130)；複數個位於該N-井(130)中之較重摻雜的p型矽擴散體(P+擴散體)(126)；一位於該N-井(130)中之第一較重摻雜的n型矽擴散體(N+擴散體)(128a)，其中該第一N+擴散體(128a)圍繞該複數個P+擴散體(126)，並將該N-井重疊進該P-井(132)；一

位於該P-井（132）中之第二較重摻雜的n型矽擴散體(N+擴散體)（128b），其中該第二N+擴散體圍繞（128b）該第一N+擴散體（128a）；一鉀墊（114），其係連接至該複數個P+擴散體（126）；以及一連接（120），其係連接至該第二N+擴散體（128b）。

(三)舉發證據之技術內容

1.舉發證據2

證據2 揭示一種靜電放電（ESD）保護電路，該電路包含在信號輸入和電源端間以背對背串聯之二極體，其允許該輸出信號升高至相對於供應電源上之一選擇距離且不會觸發該ESD電路。該ESD電路係以積體電路形式形成，其具有包含一對形成於N井中之P+區域，或各別的P+區域與各別的N井以形成PN接面的二極體，該二極體亦可以形成於在場二極體區域上之多晶矽層上，而第二對背對背的二極體可以選擇性地被連接於信號輸入端及接地之間，如此可允許該輸出信號下落至相對於接地電位之一選擇距離且也不會觸發該ESD電路。

2.舉發證據3

證據3揭示一個嵌入式寄生矽控整流器(parasitic silicon controlled rectifier, parasitic SCR)保護裝置，用於利用在汲極邊插入一P+擴散體及一N-井以保護一晶片或一輸出焊墊，其中該汲極之部份形成一低觸發SCR。該裝置之布局使得該汲極連接在該P+擴散體及該N+汲極處緊綁一起，讓連接非常短；藉此防止閃鎖(latch-up)。

3.舉發證據4

證據4 揭示一個輸出緩衝器，其包含一拉高電路及一拉低電路；其中該拉低電路具有一電阻，一二極體及一靜電保護元件。

4.舉發證據5

證據5 揭示在供應電源及接地端點之間加入保護電路，在半導體電路的內部元件仍常常損壞。在證據5之發明中，因於具有負電位的靜電的施加，就可以使進入到接地端點TG一側來的電荷易於通過電源端點TV向電源電壓Vcc放出，就可以防止內部元件因靜電引起之損壞。同樣地，證據5提供一保護電路，其可導向在電源端點及接地端點之間的電荷。

5.舉發證據6

證據6 揭示一薄膜電晶體，用於一抗靜電電路及防止界面漏電流(junction-leakage current)。

6.舉發證據7

證據7 揭示一種半導體裝置的靜電保護電路及其結構。證據7之特徵在於該半導體裝置可與一焊墊連接，而該靜電保護結構用在一電晶體汲極擴散區之淺摻雜電阻或擷取電阻，以使在靜電電壓從該焊墊輸入時，在該電阻處產生壓降，進而形成一寄生雙極電晶體，以傳導因該靜電放電產生之電流。

7.舉發證據8

證據8 揭示之靜電放電(ESD)保護組件，其可被串接以提高ESD保護組件的總維持電壓且避免閃鎖。

8.舉發證據9

證據9 揭示一形成於一井中之保護電路，且與埋層連接。為改良保護雙極電晶體被晶片佈局及晶片雜質濃度的影響，證據9 提供一靜電損壞保護裝置，其具有高靜電崩潰阻抗，高門鎖電阻抗以及良好的保護能力。

9. 舉發證據10

證據10揭示一靜電放電保護電路及其佈局；其中至少在電極墊及接地線之間具有一個靜電放電保護電路。

10. 舉發證據11

證據11揭示一用於半導體輸入裝置的靜電放電保護之製造方法。證據11提供一保護電路用於限制靜電電壓至一安全位準，且不破壞欲保護之電路及保護電路本身。在證據11之發明中，小靜電電壓被利用以產生電荷載體，其可用於觸發一蕭特基夾鉗二極體(Schottky clamp diode)，藉此限制該靜電電壓至一低於100 伏特崩潰電壓之大小。

(四) 舉發證據2 結合舉發證據3 尚難證明系爭專利申請專利範圍第1、18及28及8-14、17、19-24 及27項之進步性。

1. 比較系爭專利圖1 與證據2 之FIG. 9A圖，證據2 之N+擴散體912 係位於N 井910 內，而N+擴散體916 係位於P 井902 中，且擴散體912 藉由金屬層918 連接至VCC，擴散體916 藉由金屬層924 連接至金屬層914 再連接至VIN，可知證據2 之擴散體912 係位於N 井，擴散體916 係位於P 井，二者係屬不同的擴散體結構，與系爭專利之第二較重摻雜的n 型矽擴散體(N+ 擴散體) 均係位於P 井中，二者結構顯然互異。再者，系爭專利之第二N+擴散體係圍繞該第一N+擴散體；惟證據2 之圖9A並未揭示擴散體912 及擴散體916 圍繞第一N+擴散體之結構；且根據證據2 圖9A及說明書第6 欄第55至57 行之敘述，N+區域916 形成二極體D1，以及二極體D3與區域912 及915 形成於N-井910 中；故區域912 必然侷限於N-井910 中以形成二極體D3，而區域916 則明顯地在N-井910 外部。再觀證據2 圖式第10A 圖（為第9A圖等效電路圖）及說明書第8 欄第10-13 行描述，可知在此相等之電路中顯示該二極體D1之陰極並未連接該二極體D3（證據2 圖式第10A 圖中錯標為D4）之陰極，而該二極體D3之陰極係與VCC 耦接，而該二極體D1之陰極係與VIN 耦接，且該等陰極係耦接至不同之電位，故912 及916 為兩不同之摻雜區域，且彼此並未連接在一起以圍繞結構904。益證證據2 之912 及916 係位於不同區域之不同擴散體，且未連接而「圍繞」該第一N+擴散體。
2. 系爭專利之焊墊與證據2 之金屬層(914、924、918)均作為積體電路間或路與外部連結之構件，兩者應屬具有相同功能之構件，原告訴稱證據2 並未揭示系爭專利之焊墊結構云云，固非可採；惟系爭專利之複數個P+擴散體係由一焊墊114 連接，而證據2 之P+擴散體906 係藉由金屬層924 與金屬層914 連接再接至VIN，而P+擴散體908 藉由金屬層918 連接至VCC，因VIN 與VCC 為兩不同電壓，故證2 之P+擴散體908、906 係連接兩個不同之焊墊，與系爭專利之複數個P+擴散體連接一焊墊不同。又系爭專利之第二N+擴散體係連接至一連接，而證據2 之擴散體912 藉由金屬層918 連接至VCC，

- 而擴散體916 藉由金屬層924 連接至金屬層914 再連接至VIN，因VIN 與VCC 兩不同電壓，故金屬層924 與金屬層914 為兩不同之金屬層之連接，與系爭專利之第二N+擴散體係連接至一連接，為不同之連接結構，故系爭專利之焊墊結構與連接結構與證據2 之結構並不相同。
3. 證據3 說明書第4 欄第1-62頁雖已揭示一個嵌入式寄生矽控整流器(parasitic silicon controlled rectifier，parasitic SCR)保護裝置，用於利用在汲極邊插入一P+擴散體及一N-井以保護一晶片或一輸出焊墊，其中該汲極之部份形成一低觸發SCR；該裝置之布局使得該汲極連接在該P+擴散體及該N+汲極處緊綁一起，讓連接非常短；藉此防止門鎖(latch-up)；再參考證據3 圖6 亦可知證據3 之N+擴散體620、624 形成於N 井層，該N 井則「重疊」形成於P 井21。惟查，由證據3 之圖5 及圖6 及說明書相關描述，可知N+擴散體結構元件620 及624 為電晶體T1及電晶體T2之汲極(Drain)，N+擴散體結構元件616 及628 為電晶體T1及電晶體T2之源極(Source)，620 及624、616 及628，二者應為分開的結構，且由圖5 及6 所示證據3 亦無揭示結構元件616 及628 圍繞N-井結構612，由證據3 圖5 顯示的每個結構均為位於該N-井612 各邊之條帶，結構元件620 及624 為分開的結構，亦無圍繞該P+結構622；此三個結構均為條帶狀，並被配置為彼此相鄰，故證據3 雖揭示N+(620，624) 形成於N 井並將N 井重疊進P 井21，惟其並未揭示構件620 及624 圍繞622 之結構，亦未揭示構件616 及628 圍繞620 及624 之技術特徵，至為灼然。
4. 基上說明，證據2 雖揭示N+擴散體圍繞P+908 之技術特徵，惟其未揭示系爭專利N+擴散層將N 井重疊進P 井21之技術特徵，而證據3 雖揭示N+擴散層將N 井重疊進P 井21之技術特徵，惟證據3 之N 井中P+擴散層僅為單一個，與系爭專利N 井中具有複數個P+擴散層不同，且證據3 之元件620、622 及624 為條帶狀且彼此相鄰與證據2 之結構不同，再者，證據3 之主要技術特徵之一在於在P+擴散體之汲極與N+汲極係連接在一起，因此，元件620、622 及624 均藉由傳導構件而連接至晶片墊38而具有相同之電位(參見證據3 之說明書第3 欄第51-52 行及第4 欄第21-22 行)。相較於證據2，由於N+擴散體係在元件904 中浮動，元件906(P+) 係經由一金屬層924 連接至元件916(N+)，且元件908(P+) 係經由一金屬層918 連接至元件912(N+)，故可知元件904 中之N+擴散體、元件906 及908 顯然具有不同之電位，故證據2 之P+(908) 與N+擴散體及證據3 之P+(622)與N+(620，624)之連接方式不同，故其結合上即有困難，即便結合證據2 及證據3，其與系爭專利之複數個P+擴散體(126)藉由一焊墊連接結構亦不相同，且證據2 及證據3 均未揭示系爭專利之第二N+擴散體(128b) 圍繞第一N+擴散體(128a)之技術特徵，雖證據2 及證據3 均為ESD 電路結構，惟從事半導體電路製造設計領域者皆知，電路結構佈設不同，或元件間之連接關係(方式)不同，其效果則會不同，因證據2 及證據3與系爭專利間存在前述之差異，故證據2及 證據3 之結合上並非

明顯，且證據2 及證據3 均未揭示系爭專利之第二N+擴散體（128b）圍繞第一N+擴散體（128a）之技術特徵。故證據2 及證據3 之組合尚無法證明系爭專利請求項1、18及28項不具進步性。

5. 系爭專利申請專利範圍第8-14、17、19-24 及27項為附屬項，其為獨立項之進一步限縮，因證據2 及證據3 之組合尚難證明系爭專利請求項1、18及28項不具進步性，故證據2 及證據3 之組合亦難證明系爭專利附屬請求項8-14、17、19-24 及27項不具進步性。

(六) 舉發證據2 結合舉發證據3、4-11尚難證明系爭專利申請專利範圍第2 項不具進步性。

系爭專利申請專利範圍第2 項為附屬項，其限定請求項1 之「P-井係該積體電路基板」，而原舉發理由及原處分略以「證據3 至11揭示該附屬技術特徵，故證據2 及證據3、或證據2及證據4 至11之組合可證明系爭專利請求項2 不具進步性」云云。經查證據2 及證據3 之組合既難證明系爭專利請求項1 不具進步性，已如前述，故證據2 及證據3 之組合尚難證明系爭專利請求項2 不具進步性，因證據4 至11係揭露系爭專利請求項2 之附屬項之技術特徵，其並未揭示系爭專利請求項1 之技術特徵，故由證據2、3 結合證據4 至11尚難證明系爭專利請求項2 不具進步性。

(七) 舉發證據2 結合舉發證據3、4 或9 尚難證明系爭專利申請專利範圍第3 項不具進步性。

系爭專利申請專利範圍第3 項為附屬項，除包含請求項1 之技術特徵外，更進一步包含「一位於該第一與第二擴散體之間的場氧化層」，而原舉發理由及原處分略以「證據2、4 或9揭示該附屬技術特徵，故證據2、3 及證據4 或9 之組合可證明系爭專利請求項3 不具進步性」云云。經查證據2 及證據3 之組合尚難證明系爭專利請求項1 不具進步性，已如前述，且證據4 或9 係揭露系爭專利請求項3 之附屬項之技術特徵，其並未揭示系爭專利請求項1 之技術特徵，故由證據2、3 結合證據4 或9 尚難證明系爭專利請求項3 不具進步性。

(八) 舉發證據2 結合舉發證據3、4 尚難證明系爭專利申請專利範圍第4、16及26項不具進步性。

1. 系爭專申請專利範圍第4 項附屬項，除包含請求項1 之技術特徵外，更進一步包含「該積體電路之一較輕摻雜的n 型矽基板(N- 基板)，其中該P-井係在該N-基板中」，原舉發理由及原處分略以「證據4 揭示該附屬技術特徵，故證據2、3 及4 之組合可證明系爭專利請求項4 不具進步性」云云。經查證據2 及證據3 之組合尚難證明系爭專利請求項1 不具進步性，已如前述，且證據4 係揭露系爭專利請求項4 之附屬項之技術特徵，其並未揭示系爭專利請求項1 之技術特徵，故由證據2 結合證據3、4 尚難證明系爭專利請求項4 不具進步性。

2. 系爭專利申請專利範圍第16、26項為附屬項，其更進一步限定獨立項之「該P-井係耦合至一共用的電源供應軌」，原處分及訴願決定略以「證據4 已揭示該附屬技術特徵，故證據2、3 及證據4 之組合可證明系爭專利請求項6、16不具進

步性」云云。惟查證據2 及證據3 之組合尚難證明系爭專利請求項1、18不具進步性，已如前述，且證據4 係揭露系爭專利請求項16、26之附屬項之技術特徵，其並未揭示系爭專利請求項1、18之技術特徵，故由證據2 結合證據3 及4 尚難證明系爭專利請求項16、26項不具進步性。

(九)舉發證據2 結合舉發證據3、4 或10尚難證明系爭專利申請專利範圍第5-7 項不具進步性。

系爭專利申請專利範圍第5 至7 項為附屬項，其更限定獨立項1 之「複數個P+擴散體為帶狀、矩形或方形」，原舉發理由及原處分略以「證據2、3、4 或10揭示該附屬技術特徵，故證據2、3、4 或10之組合可證明系爭專利請求項5 至7 不具進步性」云云。經查證據2 及證據3 之組合尚難證明系爭專利請求項1 不具進步性，已如前述，且證據4 或10係揭露系爭專利請求項5 至7 之附屬項之技術特徵，其並未揭示系爭專利請求項1 之技術特徵，故由證據2 及3、4 或10之組合尚難證明系爭專利請求項5 至7 不具進步性。

(十)舉發證據2 結合舉發證據3、5、7、11尚難證明系爭專利申請專利範圍第15、25項不具進步性。

系爭專利申請專利範圍第15、25項為附屬項，其更限定獨立項1、18之「P 井係耦合至接地」，而原舉發理由及原處分略以「證據3、5、7 或11揭示該附屬技術特徵，故證據2 及3、5、7 或11之組合可證明系爭專利請求項15及25不具進步性」云云。經查證據2 及證據3 之組合尚難證明系爭專利請求項1、18不具進步性，已如前述，且證據5、7 或11係揭露系爭專利請求項15或25之附屬項之技術特徵，其並未揭示系爭專利請求項1、18之技術特徵，故由證據2 及3、5、7 或11之組合尚難證明系爭專利請求項15及25不具進步性。

(十一)綜上所述，舉發證據2 結合舉發證據3 尚難證明系爭專利申請專利範圍第1、18及28及8-14、17、19-24 及27項不具進步性；舉發證據2 結合舉發證據3、4-11尚難證明系爭專利申請專利範圍第2 項不具進步性；舉發證據2 結合舉發證據3、4 或9 尚難證明系爭專利申請專利範圍第3 項不具進步性；舉發證據2 結合舉發證據3、4 尚難證明系爭專利申請專利範圍第4、16及26項不具進步性；舉發證據2 結合舉發證據3、4 或10 尚難證明系爭專利申請專利範圍第5-7 項不具進步性；舉發證據2 結合舉發證據3、5、7、11尚難證明系爭專利申請專利範圍第15、25項不具進步性。換言之，參加人所提舉發證據，均不足以證明系爭專利不具進步性。從而，被告以系爭專利違反核准時專利法第22條第4 項進步性之規定，而為「舉發成立，應撤銷專利權」之處分，即有未洽，訴願決定未加糾正而予維持，亦有未合。原告訴請撤銷訴願決定及原處分，為有理由，應予准許。

七本件事證已臻明確，兩造其餘攻擊防禦方法，均與本判決結果不生影響，故不逐一論述，併此敘明。

據上論結，本件原告之訴為有理由，依行政訴訟法第98條第1 項前段，判決如主文。

中 華 民 國 100 年 3 月 10 日
智慧財產法院第一庭

審判長法官 李得灶
法官 汪漢卿
法官 王俊雄

以上正本係照原本作成。

如不服本判決，應於送達後20日內向本院提出上訴狀並表明上訴理由，如於本判決宣示後送達前提起上訴者，應於判決送達後20日內補提上訴理由書（須按他造人數附繕本）。

中 華 民 國 100 年 3 月 10 日
書記官 蘇靖雅